

(51) Int.Cl.<sup>6</sup>  
G 0 6 F 13/36識別記号 庁内整理番号  
3 1 0 9172-5EF I  
G 0 6 F 13/36

3 1 0 E

審査請求 有 予備審査請求 有 (全 31 頁)

(21) 出願番号 特願平8-535299  
 (86) (22) 出願日 平成8年(1996)5月3日  
 (85) 翻訳文提出日 平成9年(1997)1月16日  
 (86) 国際出願番号 PCT/EP96/01860  
 (87) 国際公開番号 WO96/37852  
 (87) 国際公開日 平成8年(1996)11月28日  
 (31) 優先権主張番号 08/446, 390  
 (32) 優先日 1995年5月22日  
 (33) 優先権主張国 米国 (US)  
 (81) 指定国 EP(AT, BE, CH, DE, DK, ES, FI, GB, GR, IE, IT, LU, M C, NL, PT, SE), CN, CZ, DE, HU, J P, KR, PL, RU

(71) 出願人 インターナショナル・ビジネス・マシーンズ・コーポレーション  
 アメリカ合衆国10504、ニューヨーク州アーモンク、オールド・オーチャード・ロード (番地なし)  
 (72) 発明者 コーエン、アリエル  
 イスラエル国ジイチロン ヤーコブ、ベン・グリオン・ストリート 11  
 (72) 発明者 ホーランド、ウィリアム、ギャヴィン  
 アメリカ合衆国ノース・カロライナ州カリ一、ミュー・ウッズ・ドライブ 117  
 (74) 代理人 弁理士 合田 潔 (外2名)

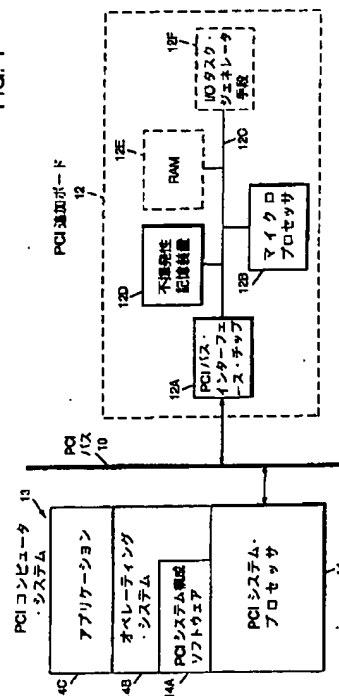
最終頁に続く

(54) 【発明の名称】 PCIバス・コンピュータのためのプログラム可能な構成レジスタを有する追加ボード

## (57) 【要約】

周辺コンポーネント相互接続 (PCI) コンピュータにおいて使用するためのアダプタ又は追加カードはそのカードをPCIバスに結合するユニバーサル・モジュールを含む。そのモジュールは、そのアダプタ上のマイクロプロセッサによってロードされる一組の選択的にプログラム可能な構成レジスタを含む。そのモジュールにおける回路配列は、構成レジスタが完全にロードされるまで、PCIプロセッサがそれら構成レジスタをアクセスすることを禁止するコマンドを発生する。

FIG. 1



・ **【特許請求の範囲】**

1. P C I コンピュータ・システムにおいて使用するための追加ボードにして、  
第 1 バスと、  
前記第 1 バスに結合され、所望のタスクを達成するために所定の機能を遂行するためのサブアセンブリ手段と、  
前記第 1 バスに結合されたマイクロプロセッサと、  
前記第 1 バスに結合され、構成情報を記憶するための不揮発性記憶装置と、  
前記第 1 バス及び第 2 バスに相互接続され、前記第 2 バス及び前記マイクロプロセッサを介して P C I マイクロプロセッサによってアクセス可能な構成レジスタを含む P C I バス・インターフェース・チップと、  
前記マイクロプロセッサが前記構成情報を前記構成レジスタにプリロードするまで、第 1 信号に応答して前記 P C I マイクロプロセッサが前記構成レジスタをアクセスすることを禁止するための P C I バス・インターフェース・チップ・コントローラと、  
を含むことを特徴とする追加ボード。
2. 前記第 1 信号は電源投入信号を含むことを特徴とする請求の範囲第 1 項に記載の追加ボード。
3. 前記サブアセンブリ手段は前記 P C I システムを L A N に接続する通信コントローラの所望のタスクを達成するため

に所定の機能を遂行することを特徴とする請求の範囲第 1 項又は第 2 項に記載の追加ボード。

4. 前記LANはイーサネット、トークン・リング、FDDI、又はATMを含むことを特徴とする請求の範囲第3項に記載の追加ボード。
5. 前記サブアセンブリ手段は装置コントローラの所望のタスクを達成するために所定の機能を遂行することを特徴とする請求の範囲第1項又は第2項に記載の追加ボード。
6. 前記装置コントローラはディスプレイ、マルチメディア、ディスク・サブアセンブリ、又はコプロセッサ・サブシステムを制御することを特徴とする請求の

範囲第5項に記載の追加ボード。

7. 前記P C Iバス・インターフェース・チップ・コントローラは一組の使用可能信号に応答して前記P C IシステムのP C Iバスにおける選択された制御線を活動化するためのP C Iスレーブ組合せ論理手段と、

最終アクセス許可制御信号に応答して前記一組の使用可能信号を発生するためのP C Iスレーブ状態マシンと、

を含むことを特徴とする請求の範囲第1項又は第2項に記載の追加ボード。

8. 単一ビット・レジスタからの出力がO R論理回路の第1入力に接続され、前記O R論理回路の第2入力の前記バス・インターフェース・チップの入力ピンに接続されることによって、前記最終アクセス許可信号は前記O R論理回路手段及

び単一ビット・レジスタの出力から発生されることを特徴とする請求の範囲第7項に記載の追加ボード。

9. P C I構成ソフトウェアを実行するP C Iプロセッサが接続されたP C Tバスを有し、P C I追加ボードが前記P C Iバスに接続されるP C Iコンピュータ・システムにおいて、

前記P C Iプロセッサ及び前記追加ボード上にあるローカル・プロセッサによってアクセス可能な構成レジスタのセット及び制御レジスタを前記P C I追加ボード上に設けるステップと、

所定の信号を受け取る時、前記追加ボードにおけるコントローラが、前記P C Iプロセッサに前記構成レジスタのセットのアクセスを遅らせる前記P C Iバス上の所定の制御信号のセットを活動化するステップと、

前記ローカル・プロセッサを使用して、前記プロセッサに記憶された構成データを前記構成レジスタのセットにダウンロードするステップと、

前記構成レジスタのセットのローディングが終了する時、前に活動化された前記制御信号のセットを非活動化することを前記コントローラに通知し、それによって、前記P C Iプロセッサが前記構成レジスタのセットをアクセスすることを可能にし、前記P C I追加ボードを構成するステップと、

を含むP C I追加ボードを構成するための方法。

## 10. PCI コンピュータ・システムの PCI バスに追加ボ

ードを結合するためのインターフェース・サブシステムにして、

構成データを記憶するための少なくとも1つの構成レジスタと、

制御情報を記憶するためのレジスタ手段と、

第1信号に応答して、PCI プロセッサが前記少なくとも1つの構成レジスタ  
をアクセスすることを禁止する第1状態に前記PCI バスにおける選択された信号  
を活動化するためのPCI バス・インターフェース手段と、

前記レジスタ手段を監視し、前記レジスタ手段における1つ又は複数の選択さ  
れたビットの状態に依存して、前記PCI バス・インターフェース手段に前記P  
CI バスにおける前記選択された信号を非活動化させて第2状態にする第2信号  
を出力し、前記PCI プロセッサが前記少なくとも1つの構成レジスタをアクセ  
スすることを可能にするための回路手段と、

を含むインターフェース・サブシステム。

11. 前記PCI バスを介して前記PCI プロセッサによって書込まれ及び読取  
られる機能的レジスタを更に含むことを特徴とする請求の範囲第10項に記載の  
インターフェース・サブシステム。

12. 前記第1信号は電源投入信号であることを特徴とする請求の範囲第10項  
に記載のインターフェース・サブシステム。

13. 前記PCI バス・インターフェース手段は

前記PCI バスに結合された出力を有する組合せ論理回路配列と、

前記組合せ論理回路配列の入力に結合されたコントローラと、

を含むことを特徴とする請求の範囲第10項に記載のインターフェース・サブ  
システム。

14. 前記コントローラは状態マシンを含むことを特徴とする請求の範囲  
第13項に記載のインターフェース・サブシステム。

15. 前記回路手段は、

前記PCI バス・インターフェース手段に結合された出力及び前記レジスタ手

- ・ 段に結合された1つの入力を含む2つの入力を有する論理的OR回路と、  
前記2つの入力のうちのもう1つの入力に接続された外部ソースから制御信号を供給するための導体と、  
を含むことを特徴とする請求の範囲第10項に記載のインターフェース・サブシステム。
- 16. 前記外部ソースは前記インターフェース・サブシステム上に設けられたピンを含むことを特徴とする請求の範囲第10項に記載のインターフェース・サブシステム。

## 【発明の詳細な説明】

PCIバス・コンピュータのためのプログラム

可能な構成レジスタを有する追加ボード

### 技術分野

本発明は、概して云えば、コンピュータ・システムに関するものであり、更に詳しく云えば、複数のコンピュータ・システムを結合するための、又は複数の装置を1つのコンピュータ・システムに結合するためのアダプタ・カード又は追加ボードと呼ばれる装置に関するものである。

なお、本願に対応する米国特許出願 第446,390号及び米国特許出願 第447,022号は関連発明の特許出願である。両出願とも同日に出願され、共通の譲受人に譲渡された。本願はプログラム可能な構成レジスタを有するPCIインターフェース・モジュールに関するものであり、一方、後者の出願において開示された発明はPCI ROMを活動化／非活動化するための手段を有するPCIインターフェース・モジュールに関するものである。

### 背景技術

コンピュータ・システムのプロセッサ、メモリ及び周辺装置のような個別の装置を結合するために通信インターフェース又は入出力バスを使用することは、その分野ではよく知ら

れている。コンピュータ・システムは複数の独立したタスクを遂行するために使用されるのみならず、それら相互間で情報を交換するためにも使用される。情報を交換するためには、それらのコンピュータ・システムは接続されて1つのコンピュータ・ネットワークにされる。通常のコンピュータ・ネットワークは、通信媒体及びその通信媒体に接続された複数のコンピュータ・システムを含む。通常、追加ボードがコンピュータ・システムのバスを通信媒体に結合する。コンピュータをユーザにとって更に魅力的なものにするために、ほとんどの製造業者はそれらのコンピュータ・バスの設計を標準化しようとした。ISA、EISA、マイクロチャネル（商標）等のような標準化されたバスがその分野ではよく知られている。

周辺コンポーネント相互接続（P C I）バスはもう1つの標準化されたバスである。それは、多重化されたアドレス線、コントロール線、及びデータ線を持った高パフォーマンスの32ビット・バス又は64ビット・バスである。P C Iバスは、高度に集積化された周辺コンポーネント、周辺追加ボード、及びプロセッサ／メモリ・サブシステムの間の相互接続された機構として使用することを意図されている。P C Iバスに対する仕様は、「P C I ローカル・バス仕様書、製造版、改訂2.0、1993年4月30日（PCI Local Bus Specification, Production Version Revision 2.0, April 30, 1993）」というドキュメントにおいて説明されている。

そのマニュアルはP C I 特別関連グループ（S I G）によって作成され、保守されている。そのP C I－S I Gは、コンピュータ産業におけるすべての会社に対して開放されている組織である。P C Iバスは、高パフォーマンス・パーソナル・コンピュータ、ワークステーション、及びサーバにおける追加ボードのための優れた拡張バスとして浮上してくるであろうと信じられている。

P C Iバス仕様に適合するためには、すべての追加ボードに構成レジスタを設ける必要がある。それらのレジスタのうちの幾つかは、装置及びその機能を識別するためにP C Iプロセッサによって使用される「読取り専用」のものである。その他のレジスタは、P C Iプロセッサによって読取られ及び書込まれる読取り／書込みレジスタである。その読取り／書込みレジスタは、I/Oアドレス、メモリ・アドレス、割込レベル、キャッシュ・ライン・サイズ等のような装置資源に情報を与える。

代表的な実施方法では、特定な値がそれら読取り専用の構成レジスタに永続的にセット又はコード化される。それらの値は、P C Iバスとインターフェースするためにその追加ボードにおいて使用されるV L S Iチップ・コンポーネントに組み込まれる。それらの値は、以後、ハード・コードドと呼ばれ、変更できないものである。従って、そのチップは1つの機能をP C Tコンピュータに表示するために使用されるだけである。

場合によっては、同じチップを種々の異なる適用業務において使用することが望ましいことがある。例えば、イーサネット追加ボード及び小型コンピュータ・システム・インターフェース（SCSI）追加ボードにおいて同じチップを使用したいことがある。それを行うために、そのチップが各適用業務に対して異なる装置ID及びクラス・コードをPCIコンピュータにレポートするように、異なる値が構成レジスタにロードされなければならないであろう。異なる値が構成レジスタにおいて必要とされるというもう1つの例として、製造者がそのチップを異なるベンダに売りたいことがある。おそらく、各ベンダは異なるベンダ識別値を使用したいであろうし、そのモジュールはそれらの異なるベンダ識別値をPCIプロセッサにレポートできなければならないであろう。

上記の状況に対処するための明らかな解決法は、そのチップが新しい適用業務において又は種々のベンダによって使用される時、いつも、そのチップの新しいバージョンを提供することである。しかし、コスト、製造遅れ等のような明らかな理由のために、この明らかな解決法は受け入れがたいものであろう。従って、受入可能な或いは実用的な解決法は、以後、「PCIバス・インターフェース・チップ」又はインターフェース・モジュールと呼ばれる単一のチップ又はモジュールがPCIバス・コンピュータ・システムにおいて種々の適用業務により使用されることを可能にする必要がある。

#### 発明の開示

従って、本発明の主たる目的は、PCIコンピュータにおいて使用するための新規な追加ボードを提供することにある。

本発明のもう1つの目的は、追加ボードをPCIバス・コンピュータのPCIバスに結合するためのユニバーサル・インターフェース・モジュールを提供することにある。

本発明のもう1つの目的は、プログラム可能な構成レジスタを持った追加ボードを提供することにある。

その新規な追加ボードは所定の適用業務（通信ネットワークへの接続、種々のタイプの装置への接続等のような）を遂行するように特別に設計されたサブアセ



ンブリ及びプログラム可能なPCI構成レジスタを有するユニバーサル・インターフェース・モジュールを含む。その結果、PCI構成レジスタは特定の用途に従って選択された種々な値でもってプログラム可能である。

更に詳しく云えば、本発明の追加ボードは、ローカル・バスを持った追加ボード・マイクロプロセッサを含み、そのローカル・バスに、不揮発性記憶装置及びユニバーサル・インターフェース・モジュール（以後、PCIバス・インターフェース・チップと呼ぶ）が結合される。読取り専用レジスタを含む一組のレジスタがPCIバス・インターフェース・チップに設けられる。電源の投入に続いて、PCIバス・インターフェース・チップ・コントローラが、PCIシステム・

プロセッサからPCI構成レジスタへのアクセスに応答して、「再試行モード」を表すようにPCIバス上の選択された制御線を活動化する。この「再試行モード」にある間、PCIシステム・プロセッサはPCIバス・インターフェース・チップの構成レジスタをアクセスしないようにされ、且つPCIシステム・プロセッサは、それがその後再びそのレジスタ・アクセスを「再試行」しなければならないことを信号される。禁止期間或いは非読取り期間中、追加ボード・マイクロプロセッサは不揮発性記憶装置をアクセスし、その不揮発性記憶装置に記憶された情報を構成レジスタにロードする。

そのローディングが終了する時、追加マイクロプロセッサは、PCIバス・インターフェース・チップ上の制御レジスタにおける制御ビット（以後、PCIアクセス許可ビットと呼ぶ）を活動化する。そのビットからの出力信号は、PCIバス・インターフェース・コントローラが、前に活動化された制御線を非活動化するようにし、その結果、PCIプロセッサはPCIバス・インターフェース・チップ上のレジスタを自由にアクセスできるようになる。

本発明のもう1つの特徴では、PCIアクセス許可ビットが、PCIバス・インターフェース・チップ上に設けられたPCIアクセス一時変更入力ピンと呼ばれる入力ピンから発生される信号によって一時変更される。そのピンが「非アクティブ高レベル状態」と呼ばれる第1の電氣的状態になる場合、PCIアクセス一時変更入力ピンは、前述のように、P

ＣＩ構成レジスタの再試行がＰＣＩアクセス許可ビットによって制御されることを可能にするであろう。そのピンが「低レベル状態」と呼ばれる第２状態になる場合、ＰＣＩアクセサー一時変更入力ピンはＰＣＩアクセス許可ビットの機能を一時変更して、ＰＣＩバスから構成レジスタへのすべてのアクセスが再試行なしに正常にサービスされることを可能にするであろう。この実施例では、読取り専用ＰＣＩ構成レジスタの電源投入のデフォルト値が使用され、ＰＣＩ構成レジスタに種々の値をロードするための特徴は使用不能にされる。

本発明の上記特徴及び利点は添付の図面に更に十分に示されるであろう。

#### 図面の簡単な説明

第１図は、本発明の教示するところに従ってＰＣＩ追加ボードのシステム・レベルの観点のブロック図を示す。

第２図は、本発明の教示するところに従ってＰＣＩ追加ボードのボード・レベルの観点のブロック図を示す。

第３図は、本発明の教示するところに従ってＰＣＩインターフェース・チップのチップ・レベルの観点のブロック図を示す。

第４図は、本発明の教示するところに従ってＰＣＩバス・インターフェース・チップの回路ブロック図を示す。

第５図は、構成レジスタを構成及びセットするために、それぞれ、ＰＣＩプロセッサ及び追加ボード・プロセッサによ

って取られるプロセス・ステップのフローチャートを示す。

第６図は、ＰＣＩバス・インターフェース・チップ・コントローラのブロック図を示す。

第７図は、再試行サイクルのタイミング図を示す。

#### 発明を実施するための最良の形態

第１図は、ＰＣＩコンピュータ・システム１３のブロック図を示す。そのＰＣＩコンピュータ・システムは、ＰＣＩバス１０、ＰＣＩ追加ボード１２、及びＰＣＩプロセッサ１４より成る。ＰＣＩプロセッサ１４は、ＰＣＩシステム構成ソフトウェア１４Ａ、オペレーティング・システム１４Ｂ、及び複数のアプリケー

ション・プログラム 14Cを含む複数のソフトウェア・プロダクトを含んでいる。そのソフトウェアのそれぞれの機能はその分野ではよく知られている。従って、それぞれの詳細な説明は行わないことにする。PCIシステム構成ソフトウェア 14Aは、PCI追加ボード 12における構成レジスタ（後述する）を制御するのに必要な機能を遂行するといえは十分であろう。一般に、PCIシステム構成ソフトウェア 14Aは、通常、「BIOS」（基本入出力システム）ソフトウェアと呼ばれるものの一部分であり、それは、そのシステムに対する電源の投入時に診断を行い、システム構成及びデータ入出力をサポートするための種々の低レベル・ルーチンを与える。PCI特殊関連グループ(PCI Special Interest Group (PCI-SIG))は、PCI構成ソフトウ

エアにおいて必要な機能を概説した1993年7月20日発行の「PCI BIOS仕様書(PCI BIOS Specification)改訂2.0」を発行している。そのドキュメントは、本願では参考文献として紹介するにとどめる。そのPCI BIOS仕様書は、プログラマが適当な構成モジュールを設計することを可能にするに十分な情報を示している。前述のように、PCIバス 10はコンピュータ・システムのための相互接続搬送機構である。PCIバスの更に詳細な説明は、参考文献として本願に組み込まれた1993年4月30日発行の「周辺コンポーネント相互接続 (PCI) ローカル・バス仕様書(Peripheral Component Interconnect(PCI) Local Bus specification)において示されている。更に、米国特許第5,392,407号「周辺コンポーネント相互接続ポート及びRAMBUSポートを有するマルチポート・プロセッサ(Multiport Processor with Peripheral Component Interconnect Port and Rambus Port)」はPCIバスの特徴を開示しており、そのバスに関する背景情報を説明するために本願に組み込まれる。たとえ、第1図がPCI追加ボード 12を、実際の実施例においてPCIコンピュータ・システム 13とは別個の装置であるとして示していても、PCI追加ボード 12は、PCIコンピュータ・システム 13に含まれた拡張スロットに設けられる。

第1図を更に参照すると、以下で開示される本発明はPCI追加ボード 12に関連し、更に詳しく云えば、PCIバス

10とインターフェースするPCIバス・インターフェース・チップ12Aに関連するものである。PCIバス・インターフェース・チップ12Aは、種々なタイプのPCI追加ボード12をPCIバス10に相互接続するためにベンダによって使用可能なユニバーサル・チップである。PCI追加ボード12は、ローカル・バス12Cを持ったマイクロプロセッサ12Bを含む。そのローカル・バス12Cは、PCIバス・インターフェース・チップ12A、不揮発性記憶装置12D、RAM12E、及びタスク・ジェネレータ手段12Fを相互接続する。タスク・ジェネレータ手段12FはそのPCI追加ボードのサブシステムであり、所望のタスクを達成するために必要な機能を遂行する。一例として、タスク・ジェネレータ手段12Fは、PCIコンピュータ・システム13をトークン・リング、イーサネット、FDDIのようなローカル・エリア・ネットワーク（LAN）及び同様のタイプのLANに接続するための通信アダプタであってもよい。トークン・リング・ネットワークのためのタスク・ジェネレータの一例は、「IBM Auto LANStream PCI Adapter, 部品番号04H8095」である。

同様に、イーサネットに対するタスク・ジェネレータは、「IBM EtherStream MC32 Adapter, P/N74G0850」である。

一般的に云えることとして、PCIバス・インターフェー

ス・チップに結合することができるタスク・ジェネレータは、通信コントローラ（イーサネット、トークン・リング、FDDI、ATM等）、ディスプレイ・コントローラ（VGA、XGA等）、マルチメディア装置（ビデオ、オーディオ、CD-ROM等）、ディスク・サブシステム（IDE、SCSI、RAID等）、及びコプロセッサ・サブシステム（ペンティアム、パワーPCI等）を含む。

これらの適用はすべてPCI追加ボードによって実施可能であることに注目すべきである。本発明の教示するところによれば、PCIバス・インターフェース・チップ12A（詳細を後述する）は、追加ボードのうちのどれによっても使用可能であり、その追加ボードがPCIバスを通して動作するために必要とするバ

・ ス・インターフェース機能を遂行する。

第2図はPCIバス・インターフェース・チップ12Aのボード・レベルの概要を示す。そのPCIバス・インターフェース・チップ12Aは、PCIバス10に接続するためのPCIバス・インターフェース16を含む。内部バス・インターフェース手段18はPCIバス・インターフェース・チップ12Aを内部バス12Cに接続する。PCIバス・インターフェース手段16及び内部バス・インターフェース手段18の間には、データ転送及び論理手段20、機能レジスタ22、及びPCI構成レジスタ24が接続される。データ転送及び論理手段20は、PCIバス10及びPCI追加ボード12の間のメイン・データ転送バスである。そのデータ転

送及び論理手段20は内部バス・インターフェース手段18からPCIバス・インターフェース手段16にデータを移動させるFIFOバッファ20Aを含む。同様に、FIFOバッファ20Bは逆方向にデータを移動させる。PCI構成レジスタ24は、PCIシステム・プロセッサがPCIシステム構成ソフトウェア14A（第1図）を実行することによって、PCIバス10を介して書き込み及び読取り可能である。これらのレジスタに書き込まれた情報は、PCI追加ボードがPCIコンピュータ・システムに結合する装置のI/Oアドレス、メモリ・アドレス、割込レベル、キャッシュ・ライン、サイズ等のような装置資源を構成する。

第2図を更に参照すると、PCI構成レジスタ24は、その装置を識別するために及びそれを適正に構成するために使用されるべき構成ソフトウェア14A（第1図）にとって必要な情報を含む。PCI標準は、次のような読取り専用構成レジスタのリストを必要とする。このリストは決して完全なものではなく、本発明は、PCI追加ボードをPCIバスにインターフェースする場合に必要な名称を付された他の任意のタイプのレジスタをカバーするように意図される。PCI体系化された読取り専用レジスタの間にあるのは次のものである。即ち、

ベンダID：その装置を製造するベンダを識別する16ビット・レジスタ。

装置ID：それが提供するPCTの各タイプを独特に識別

するためにベンダによって使用される 16 ビット・レジスタ。

訂正 ID：その装置の改訂レベルを識別するためにベンダによって使用可能な 8 ビット・レジスタ。

クラス・コード：その装置（ディスプレイ・コントローラ、ネットワーク・コントローラ、ブリッジ装置等）の一般的な機能を識別する 24 ビット・レジスタ。

ベース・アドレス・レジスタ：装置に I/O 及びメモリ・マッピング要件を示す読取り専用ビットを含むレジスタ。

割込ライン・レジスタ：割込ライン経路指定要件をコミュニケーションするために使用される 8 ビット・レジスタ。

最小認可及び最大待ち時間タイマ・レジスタ：待ち時間タイマのための装置所望の設定を指定する 8 ビット・レジスタ。

後述するように、本発明はマイクロプロセッサ 12B 及び不揮発性記憶装置 12D による PCI 構成レジスタにおける値の動的設定をカバーする。その結果、同じ PCI バス・インターフェース・チップ 12A が幾つかの異なるタイプの PCI 追加ボードによって使用可能である。

「機能」レジスタ 22 は PCI 構成レジスタから分離しているレジスタである。それらは、トークン・リング装置ドライバのようなアプリケーション特有のソフトウェアによってアクセスされるだけである。それらは割込/ステータス機能

、DMA 機能、及び PCI バス仕様の一部分としては指定されないオプションに対する構成設定機能を与える。

第 3 図は、PCI バス 10 及び内部追加ボード・バス 12C に相互接続された PCI バス・インターフェース・チップ 12A の詳細なブロック図を示す。この図には、PCI 構成レジスタが示され、それはプログラム可能なレジスタであり且つ内部追加ボード・バス 12C を通してマイクロプロセッサ 12B（第 2 図）によって書き込まれる。更に、PCI プロセッサによるその PCI 構成レジスタに対するアクセスを制御する PCI アクセス許可レジスタも示される。本発明の好適な実施例において後述するように、PCI アクセス許可レジスタは 1 ビット

・レジスタである。もちろん、本発明の技術範囲及び精神から逸脱することなく同じ機能を与えるための他のタイプの構成レジスタが使用可能である。

第3図を更に参照すると、PCIバス・インターフェース手段16は、PCIバス・マスタ論理手段16A及びPCIバス・スレーブ論理手段16Bを含む。PCIバス・マスタ論理手段16Aは、PCIバス10とPCIバス・インターフェース・チップ12AにおけるFIFOとの間でバースト・データ転送を遂行する。それは、すべてのPCIバス・システムの一部として存在するPCIシステム・バス・アービトレーション論理装置（図示されていない）からPCIバスの所有権を要求することによってそのPCIバスにおける転送を開始する。PCIバス・スレーブ論理手段16Bは、

PCIシステム・プロセッサのような他のバス・マスタによって開始されたPCIバス・サイクルのターゲットとして応答する。それは、PCIシステム・プロセッサがPCIバス・インターフェース・チップ上のレジスタを読み取り及び書き込むことを可能にするために、PCIバスにおける制御信号の必要なハンドシェーキングを行う。

PCIバス・インターフェース16と同様に、内部バス・インターフェース手段18は内部バス・マスタ論理手段18A及び内部バス・スレーブ論理手段18Bを含む。内部バス・マスタ論理手段18Aは、内部追加ボード・バス12CとPCIバス・インターフェース・チップ12AにおけるFIFOとの間でバースト・データ転送を行う。内部バス・スレーブ論理手段18Bは、追加ボード・マイクロプロセッサからレジスタ読み取り及び書き込みオペレーションをサービスする。

第3図を更に参照すると、OR論理回路20が、PCIバス・スレーブ論理手段16Bに接続された出力及び2つの入力を持つ。それらの入力の1つは導体26を通してPCIアクセス許可レジスタ24に接続され、もう1つの入力は導体23を通してピン22に接続される。ピン22はPCIバス・インターフェース・モジュール12Aに取付られ、第3図では破線の円として概略的に示される。後述するように、OR論理回路20からの出力信号がアクティブである時、P

CTプロセッサはPCIバスを介してPCI構成レジスタを

アクセスする。OR論理回路20からの出力が非活動的である場合、構成レジスタに対するアクセスはPCIプロセッサにブロックされる。OR論理回路20からの信号の状態は、プロセッサ12B（第2図）によってセットされるPCIアクセス許可レジスタにおけるビットによって、或いはPCIバス・インターフェース・チップ12Aにおけるピン22によって制御される。

第4図は、PCIシステム・プロセッサ14（第1図）がPCI構成レジスタをアクセスすることを禁止されている間、マイクロプロセッサ12B（第1図）がPCI構成レジスタにデータを書込むことを可能にするロジックを示す。しかし、一旦書込みが終了しそしてPCIアクセス許可ビット22がPCIアクセス許可レジスタ28においてセットされると、前に禁止されたPCIプロセッサはPCIバス・インターフェースにおけるすべてのレジスタをアクセスする許可を与えられる。

第4図を更に参照すると、一組のデータ線（PCIデータ・バス10Aと呼ばれるPCIバスにおける）がPCI構成レジスタをPCIバス10に相互接続する。PCI-RST#線と呼ばれる制御アーキテクチャ線がPCIアクセス許可レジスタ28をPCIバス10に相互接続する。最後に、PCIバスの、いわゆる再試行機能を活動化するために必要な一組のPCI制御信号がPCIバス10をPCI状態マシン及び組合せ論理手段31に相互接続する。

PCIスレーブ状態マシン及び組合せ論理手段31への入力、最終アクセス許可信号線32によってOR回路20に接続される。導体24及び26における信号は第3図に関して既に説明済みであり、ここではそれを繰り返すことはしない。

第5図は、PCI追加ボード構成レジスタをアクセスしようとするPCIシステム・プロセッサと、PCI構成レジスタをプリロードするPCI追加ボード・マイクロプロセッサとの間の相互作用のフロー・チャートを示す。要約すると、電源投入時に、PCIプロセッサ42において実行するPCIシステム構成ソフ



トウェアは、図示されてないP C I追加ボード構成レジスタ（P C Iバス・インターフェース・チップにある）に入ろうとする。P C Iシステム・プロセッサのアクセスは、追加ボード・マイクロプロセッサがP C Iアクセス許可ビットをP C Iバス・インターフェース・チップに書込むまで否定される。その否定は、P C Iシステム構成ソフトウェアが構成レジスタをアクセスすることができる前に、P C I追加ボード・プロセッサが構成レジスタ・プリロード・オペレーションを終了することを可能にする。

更に詳しく云えば、そのプロセスは、P C Iシステムが電源投入される時（ブロック34）に開始する。構成レジスタを有するP C I追加ボードが36によって概略的に示される。電源投入に続いて、P C Iシステム・プロセッサ42は、“CONFIG READ OR WRITE”と示された線を介して構成レジスタ

をアクセスしようとする。これらの試みは承認されず、そしてその不承認は“RETRY”と示された線によって概略的に示される。このタイム・インターバルの間、P C I追加ボード・マイクロプロセッサ38はそのボードにおける不揮発性R O Mから情報を得て、不揮発性記憶装置から検索される予め記憶された情報を適当な構成レジスタに書込む（ブロック38）。一旦これが終了すると、P C I追加ボード・プロセッサは、P C Iシステム・プロセッサ42が再試行モードから出て追加ボードにおけるレジスタをアクセスすることを可能にするP C Iアクセス許可ビットを書込む。そのレジスタに対するアクセスは第5図における“CONFIG READ OR WRITE”と示された二重ヘッ드의矢印によって表される。一旦レジスタを読取り及び書込む機能が終了すると、P C I追加ボード構成設定は終了し、システムは、今や、追加ボードをP C Iに結合する装置とコミュニケーションするための状態にある。

第6図はP C Iバス・インターフェース・コントローラのブロック図を示す。P C Iバス・インターフェース・コントローラの機能は、部分的には、P C Iプロセッサを「再試行」状態に強制し且つそのP C IプロセッサがP C Iバス・インターフェース・チップにおけるレジスタをアクセスすることを禁止する制御信号を発生することである。前に説明したコンポーネントと同じ第6図におけるコ

ンポーネントについては更に言及せず、説明もしない。PCIバス・インターフェース・コントローラはPCIスレーブ組合せ論理手段44

及びPCIスレーブ状態マシン46より成る。PCIスレーブ組合せ論理手段44はPCIバスにおける制御信号(PCI\_\_FRAME#及びPCI\_\_IRDY#)をデコードし、PCIバス・インターフェース・チップに対するレジスタ読取り又は書込みオペレーションがPCIシステム・プロセッサによって開始されたことをPCIスレーブ状態マシン46に信号する。そこで、PCIスレーブ状態マシン46は、読取り又は書込みオペレーションをサービスするのに必要な状態を順序付ける。PCIスレーブ組合せ論理手段44は、PCIスレーブ状態マシン46の出力をデコードし、バス・サイクルが終了したことをPCIシステム・プロセッサに信号するようにPCIバスにおける制御信号(PCI\_\_DEVSEL#、PCI\_\_TRDY#、及びPCI\_\_STOP#)を活動化することによって応答する。

最終アクセス許可線32における最終アクセス許可信号がアクティブでない低レベル状態にある場合、PCIスレーブ状態マシン46は、PCIシステム・プロセッサからの読取り又は書込みオペレーションに応答して「再試行」状態を信号することによって応答するであろう。PCIスレーブ状態マシン46の出力を使用して、PCIスレーブ組合せ論理手段44は、PCI\_\_DEVSEL#信号及びPCI\_\_STOP#信号を活動化すること及びPCI\_\_TRDY#信号を非活動化することにより再試行状態を信号する。PCIシステム・プロセッサは、レジスタに対するアクセスが否定された

こと及びバス・トランザクションがその後再び「再試行」されなければならないことの表示としてその信号シーケンスを使用する。最終アクセス許可信号32がアクティブな高レベル状態にある場合、PCIスレーブ状態マシン46及び組合せ論理手段44は、PCI\_\_DEVSEL#信号及びPCI\_\_TRDY#信号を活動化することによって正規のバス・トランザクションでもって応答する。PCIシステム・プロセッサは、そのレジスタに対する読取り又は書込みアクセスが

正常に終了したことの表示としてこの信号シーケンスを使用する。「再試行」及び正常な読取り及び書き込みバス・トランザクションのために必要とされる正確な信号シーケンスは、「PCI ローカル・バス仕様書、製造版、改訂 2.0」において定義されている。

第7図は、PCI プロセッサ及びPCI バス・インターフェース・チップ（第6図）の間で実施されるハンド・シェーキング手順のためのタイミング図又は事象図を示す。そのハンド・シェーキング・ルーチンは、PCI プロセッサを再試行モードに強制するために必要である。その再試行モードは、PCI バス・インターフェース・コントローラのようなスレーブ装置がPCI プロセッサのようなマスタ装置とコミュニケーションする準備ができていない時に呼び出される。このルーチンのために必要な信号は上述のPCI 仕様書において体系化される。それらの信号は、クロック（CLK）、FRAME #、IRDY #、TRDY #、STOP #、及びDEV

SEL #を含む。FRAME #及びIRDY #と呼ばれる信号は、PCI プロセッサがPCI バス・インターフェース・チップにおける構成レジスタをアクセスすることを望む時、そのPCI プロセッサによって信号FRAME #及びIRDY #がPCI バス上に出力される。TRDY #、STOP #、及びDEVSEL #と呼ばれる信号は、PCI プロセッサから出力された信号に応答してPCI バス・インターフェースによって発生された信号である。それらの名称を付された信号及びフローの方向が第6図に示される。数字1、2、3、4、及び5は、PCI バス・インターフェース・チップがPCI プロセッサから出力された信号をサンプルする時の周期を表す。同様に、A、B、及びCとして示された円は、1つの装置が或アクションを開始する時のインスタンス及び他の装置からの反応を表す。例えば、AはPCI バス・インターフェース・コントローラによって開始され、BはPCI プロセッサからの応答である。それぞれの信号に適用される時、STOP #と呼ばれる信号が低レベルである場合、IRDY #信号は降下し、FRAME #信号は上昇する。Cによって示されたもう1つの事象は同様の態様で動作する。最後に、再試行サイクルはインターバル5において終了し、矢印へ

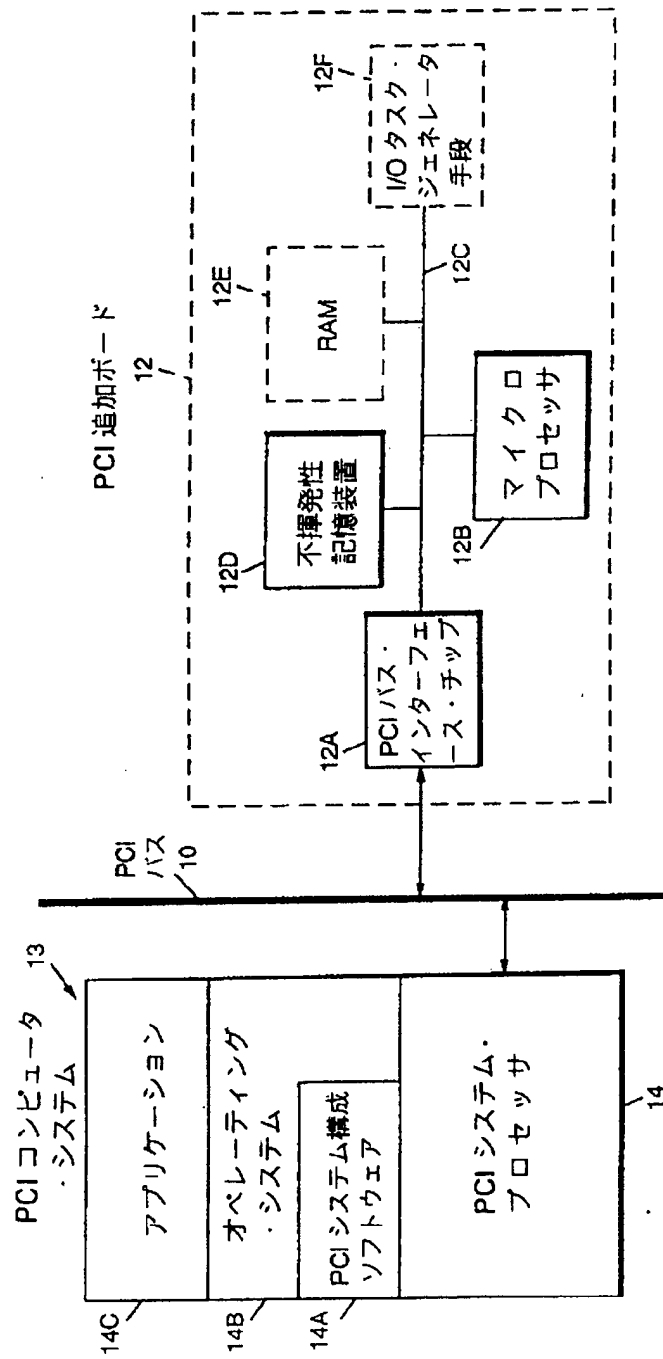
次に、本発明の動作を説明することにする。本発明は、P C I コンピュータ・システムの追加ボードにおいて使用する

一方、PCIプロセッサがPCIバス・インターフェース・チップにおけるレジスタに対するアクセスを否定される時

-20-

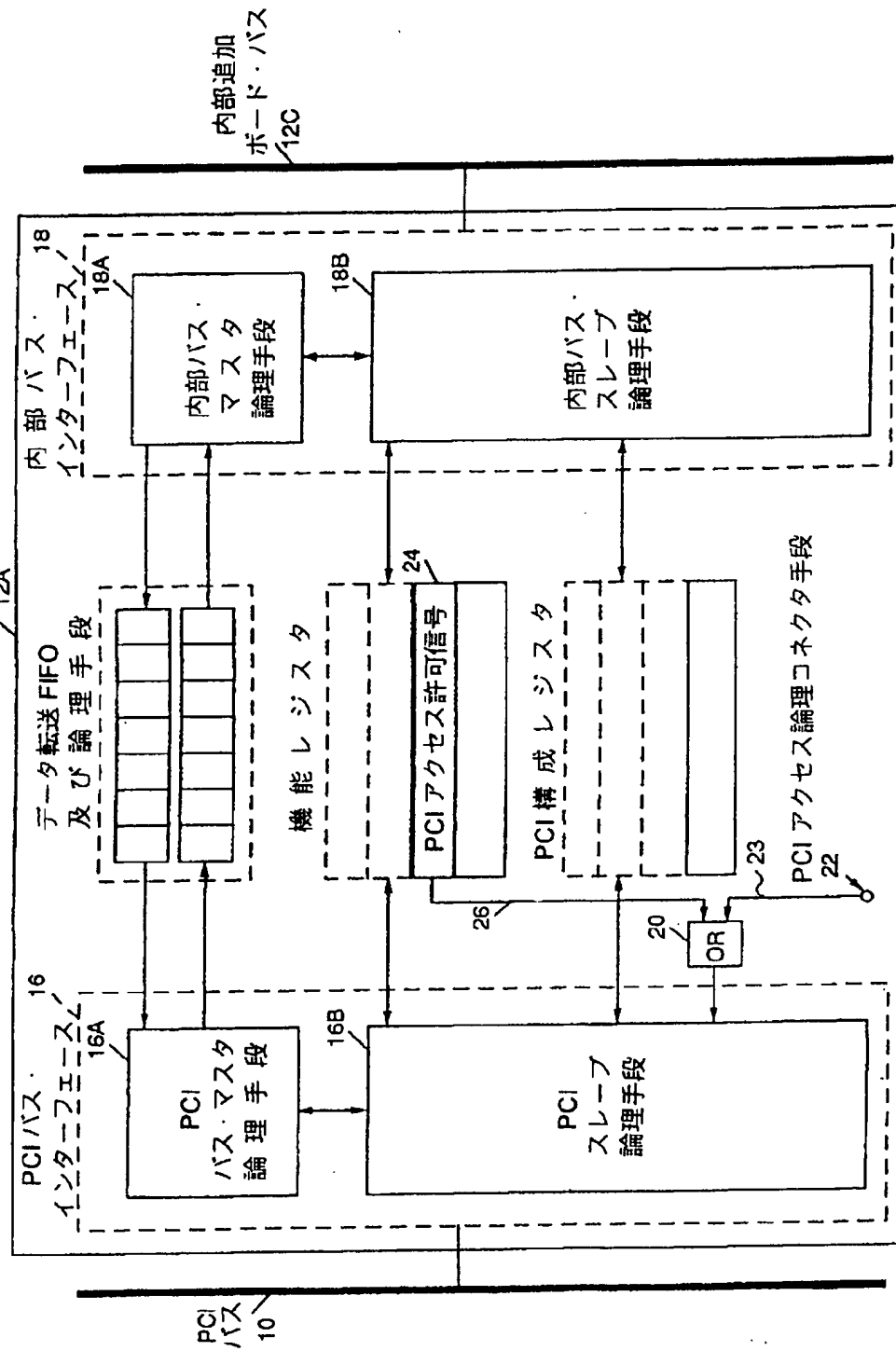


FIG. 1





PC|バス・インターフェース・チップ





【図4】

FIG. 4

PCIバス・インターフェース・チップ

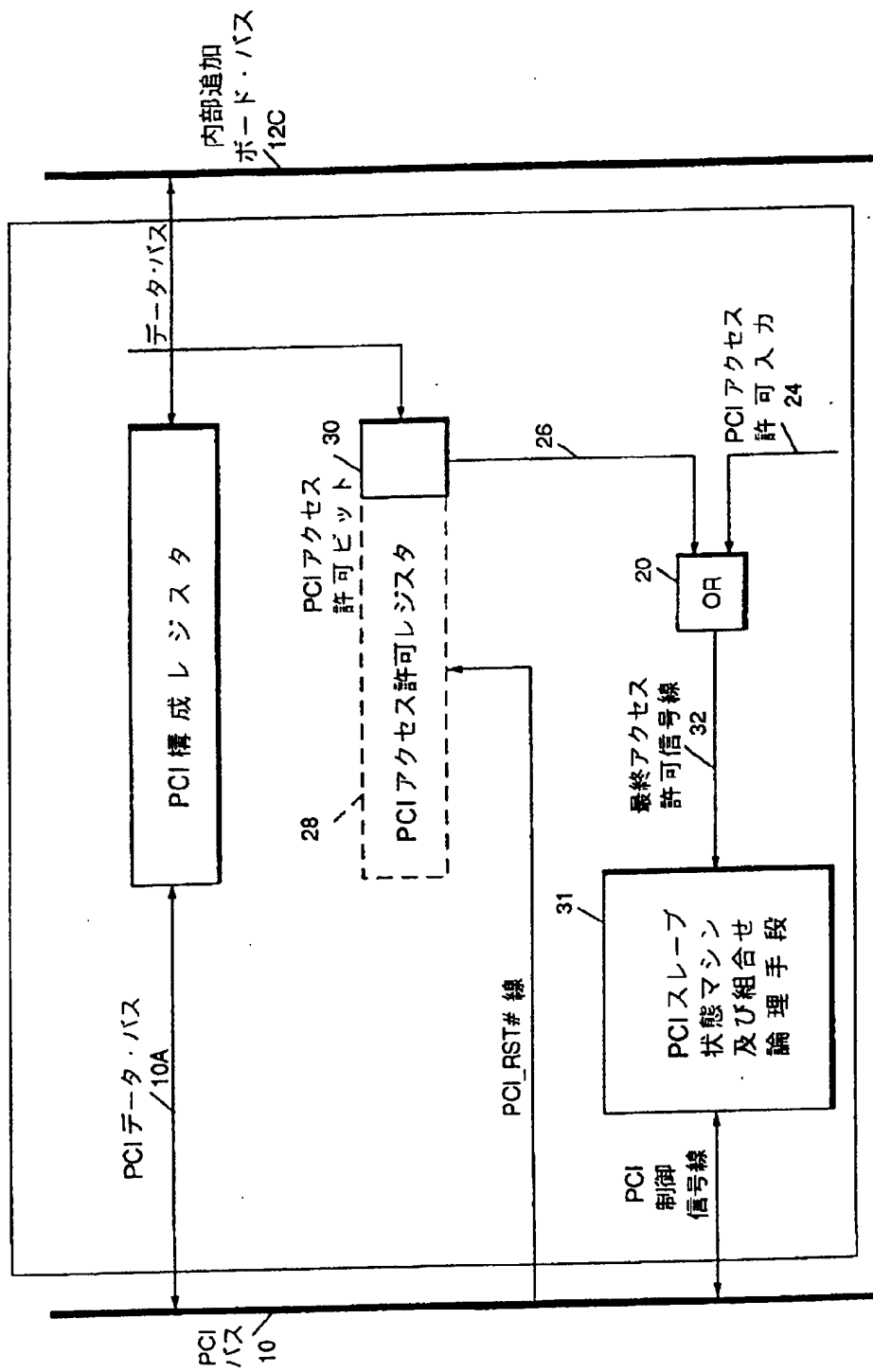
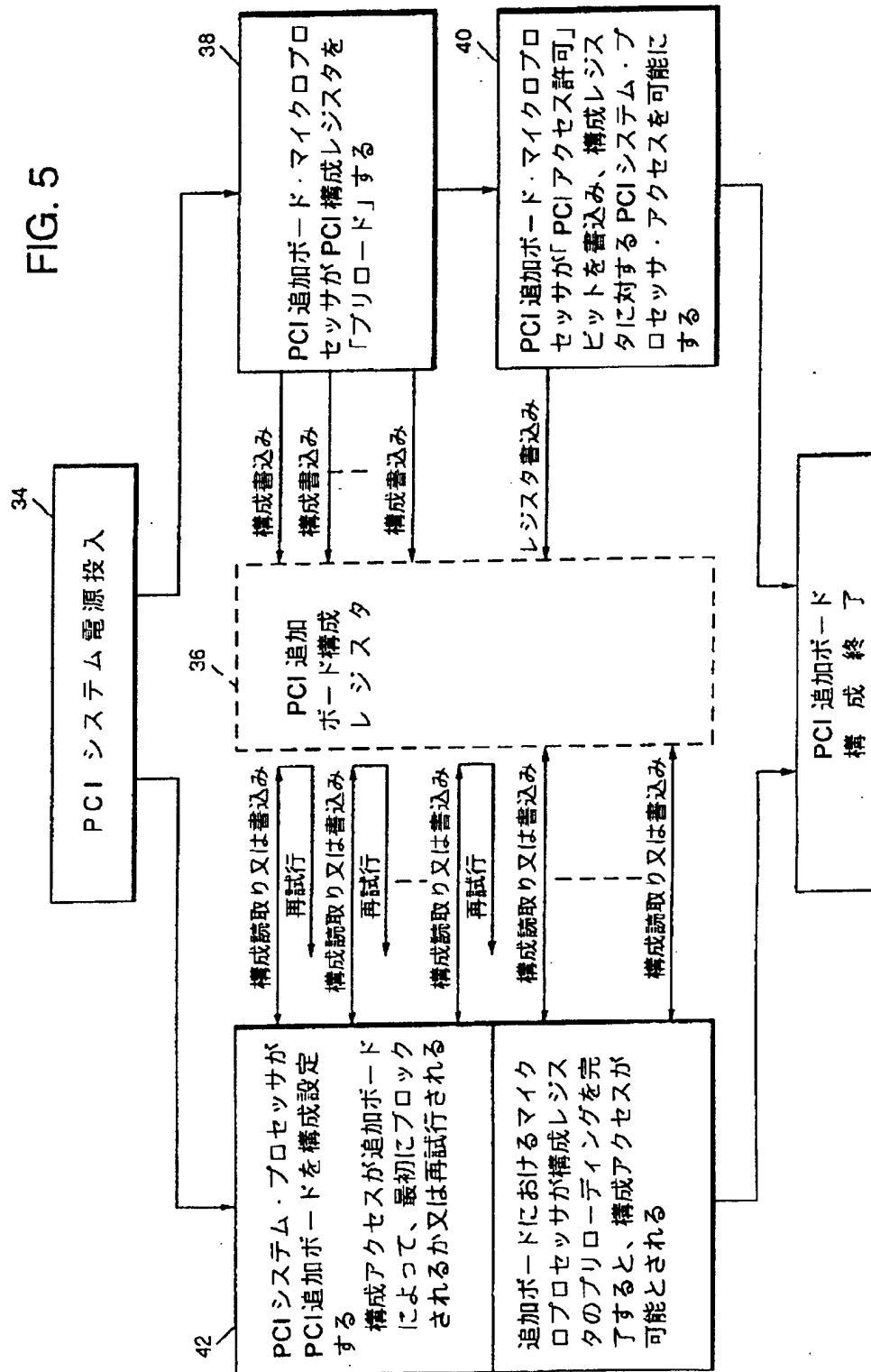


FIG. 5



【図6】

FIG. 6

PCIバス・インターフェース・チップ

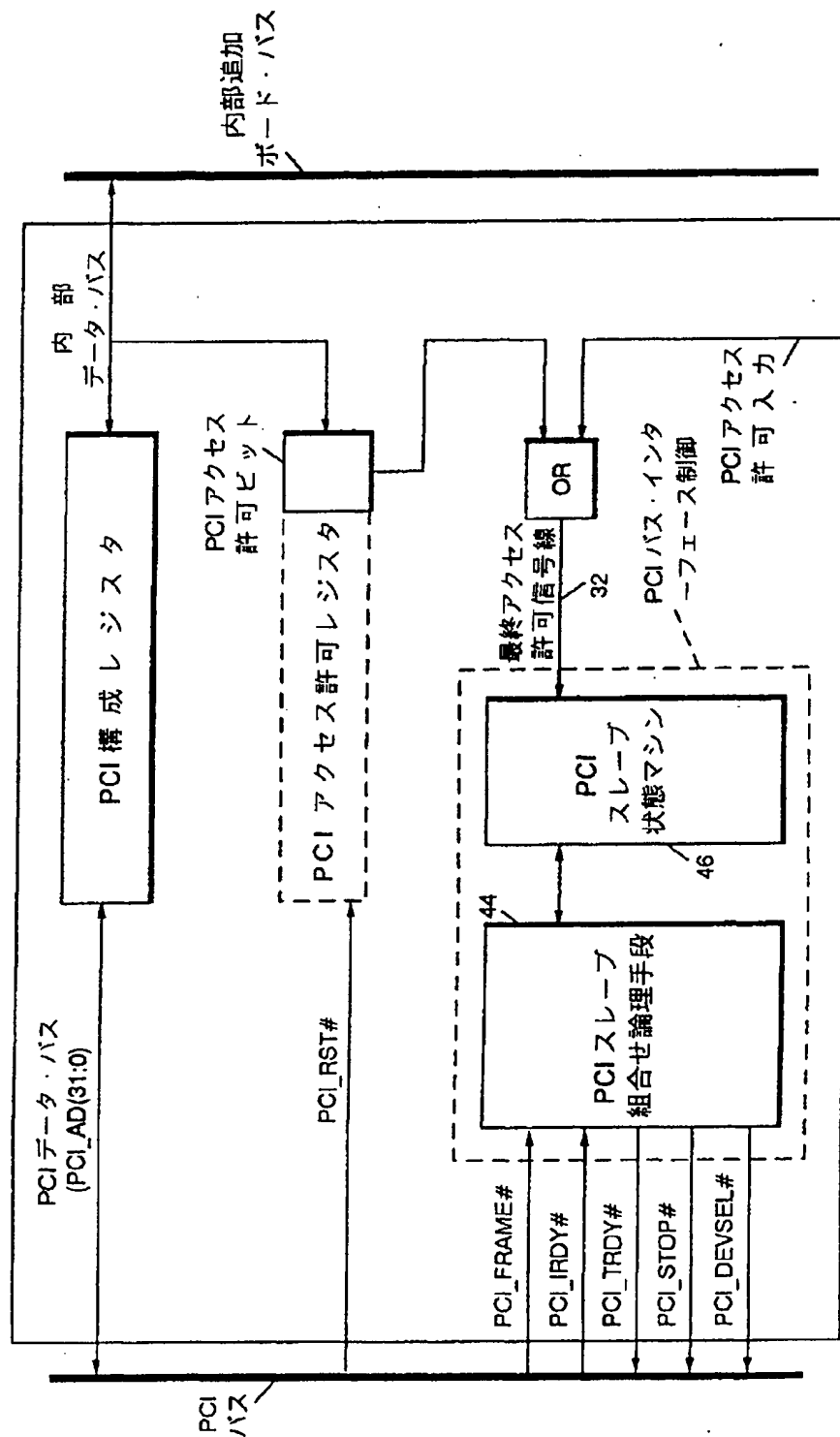
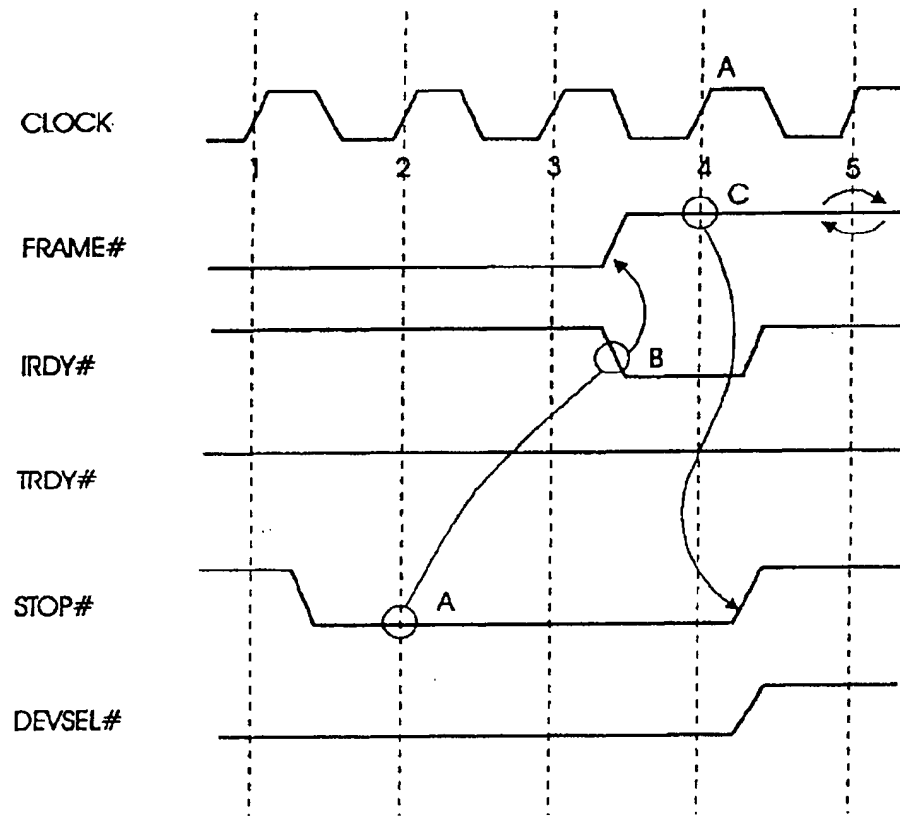


FIG. 7



## INTERNATIONAL SEARCH REPORT

International Application No.  
PCT/EP 96/01860

A. CLASSIFICATION OF SUBJECT MATTER IPC 6 G06F15/16		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 6 G06F		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US,A,4 403 303 (HOWES ET AL) 6 September 1983 see column 1, line 67 - column 3, line 28; claim 1; figures 3,4 ---	1,9
Y	WESCON TECHNICAL PAPERS, 27 - 29 September 1994, NEW YORK, US, pages 568-573, XP000532626 GEBER & YEE: "Peripheral Component Interconnect (PCI) Interface with the Quicklogic QL16x248 FPGA" see page 571, right-hand column, paragraph 4 - page 572, right-hand column, paragraph 1 ---	1,9
A	WO,A,86 05293 (BURROUGHS) 12 September 1986 see page 19B, line 6 - line 13 -----	10
<input type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "d" document member of the same patent family		
Date of the actual completion of the international search  9 September 1996		Date of mailing of the international search report  26.09.96
Name and mailing address of the ISA European Patent Office, P.B. 5812 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax (+31-70) 340-3016		Authorized officer  Gill, S

# INTERNATIONAL SEARCH REPORT

information on patent family members

International Application No

PCT/EP 96/01860

Parent document cited in search report	Publication date	Patent family member(s)	Publication date
US-A-4403303	06-09-83	NONE	
WO-A-8605293	12-09-86	US-A- 4750113	07-06-88
		AT-T- 112870	15-10-94
		CA-A- 1246748	13-12-88
		DE-D- 3650092	17-11-94
		DE-T- 3650092	24-05-95
		EP-A- 0213183	11-03-87
		JP-B- 5019180	16-03-93
		JP-T- 62500475	26-02-87

Form PCT/ISA/210 (patent family sheet) (July 1993)

フロントページの続き

(72)発明者 ローガン、ジョセフ、フランクリン  
アメリカ合衆国ノース・カロライナ州ラレ  
イ、ウエストウッド・ブレイス 4005

(72)発明者 バラッシュ、アヴィ  
イスラエル国ラマト イーシャイ、ツゼー  
ロン・ストリート 12

## ⑫ 公開特許公報(A)

昭63-107254

⑮ Int.Cl.<sup>4</sup>H 04 L 11/20  
H 04 B 7/15  
H 04 L 11/00

識別記号

1 0 2  
3 1 0

庁内整理番号

A-7117-5K  
7323-5K  
B-7928-5K

⑬ 公開 昭和63年(1988)5月12日

審査請求 未請求 発明の数 1 (全9頁)

⑭ 発明の名称 衛星パケット通信方法

⑯ 特 願 昭62-159328

⑰ 出 願 昭62(1987)6月25日

優先権主張 ⑱ 昭61(1986)6月26日 ⑲ 日本(JP) ⑳ 特願 昭61-150811

㉑ 発 明 者 小 林 和 朝 東京都港区芝5丁目33番1号 日本電気株式会社内  
㉒ 出 願 人 日 本 電 気 株 式 会 社 東京都港区芝5丁目33番1号  
㉓ 代 理 人 弁 理 士 内 原 晋

## 明 細 書

発明の名称 衛星パケット通信方法

## 特許請求の範囲

衛星の利用したパケット通信システムにおいて、地上局から宛先アドレスを付加したデータ衛星に送信し、全ての局は衛星からデータを受信、宛先アドレスをみて自局あてのデータだけを取り込むことによりパケット交換を行い、端末と地上局との間に張られている複数のロジカルチャネルに対応して地上局間でロジカルリンクを張り、誤り再送、送達確認、フロー制御を行うことを特徴とした衛星パケット通信方法。

## 発明の詳細な説明

## (産業上の利用分野)

この発明は、衛星回線を利用したパケット通信システムに関するものである。

## (従来の技術)

端末とホストコンピュータ及びホストコンピュータどうしのデータ通信高品質が要求される。というのはプログラムの転送の場合、1ビットでも異なると相手に届いたプログラムはバグが存在するようになる。又銀行におけるデータベースのリモートからの書きかえにおいて、誤って書き換えられると大きな問題となる。

したがって通常のデータ通信高品質な通信が要求され、それを保障するために伝送制御手順いわゆるプロトコルが存在する。第1図はデータ通信を示す図で、伝送制御UNIT200,250がプロトコルを実行する。この伝送制御UNITは端末及びホストに内蔵されている場合が多い。プロトコルの基本動作は受信側で間違いなく受け取ったという確認を取りながら、送信側でデータ送信することである。もし確認が取れなかった場合は、再送することによって高品質の通信を実現している。第2図に伝送制御UNITのブロック図を示す。端末もしくはホストからきたデータの塊に対してフレーム送信処理210で送信データにシーケンス番号を付加し、



フレーム出力230にわたす。同時に再送に備えて内蔵されたバッファに蓄える。フレーム出力230ではデータの塊の先頭と終りの識別のためのフラグとデータの誤りの検出のために冗長ビットを付加し、回線へ送信する。フレーム入力240ではデータ先頭と終りを識別し、かつデータと冗長ビットからデータに誤りがあるかどうかを判定し、誤りがあれば破壊し、正しければフレーム受信処理220に送る。このとき、データではなく受信確認フレーム(ACK)であれば、フレーム送信処理210へ送る。フレーム受信処理220では受信データのシーケンス番号をチェックし、正しければ端末もしくはホストへ送る。同時にACKを生成してフレーム出力230へ送る。

第3図はフレーム送信処理210を示すブロック図である。端末もしくはホストからきたデータに対して、付加器211でデータにシーケンス番号を付加し、フレーム出力230へ送ると同時に、バッファ212へ送る。同時にタイマ213を動作させる。タイマ213がタイムアウトを示すと、切換スイッチ

214を切り換え、バッファ212に蓄えられているデータをフレーム出力230へ送り、再送を行なう。タイマ213がタイムアウトになる前にフレーム入力240から受信確認フレーム(ACK)を受信すれば、切換スイッチ214を切り換え、バッファに蓄えられるデータを破棄する。

第4図はフレーム受信処理220を示すブロック図である。フレーム入力240からのデータのシーケンス番号チェック221で調べ、OKならば、データを端末およびホストへ送り、同時にACK生成222でACKを生成し、フレーム出力230へ送る。

第5図に伝送制御UNITの動作を示す。通常、地上回線では第5図のように1つデータ(DATA)を送信して、その受信確認(ACK)が戻って来るまでの次のデータを送信しない。ここで地上回線のかわりに衛星回線を用いると、伝搬遅延のためにスループットが低下する。というのはデータを送信して受信確認(ACK)が戻って来るまでに往復の伝搬遅延時間かかり、連続して送信できなくなるためである。

この問題の一つの解決法は、第6図に示すように端末(DTE)と衛星地上局との間にサテライトディスプレイコンペンセーションユニット(SDCU)500, 550をおくことである。ネットワークから見たプロトコルを持つ端末及びホストコンピュータをDTE(データターミナルイクイップメント)と呼ぶ。

この方法はDTEをSDCU間と、SDCUとSDCU間のプロトコルを異なるものである。SDCUではDTEからデータを正しく受信すると、すぐに受信確認(ACK)を返し、DTEとSDCUとの間で従来のプロトコルを実行する。一方SDCUとSDCU間では受信確認(ACK)を受信しないでもある個数連続的にデータを送信できるプロトコルを採用する。

第7図にSDCUのブロック図を示す。基本的には第2図の伝送制御ユニットをDTE側と衛星回線側とに持ち、それらが第7図に示されるように接続されている。2つの伝送制御ユニット510, 520のハード的な違いは衛星回線側の伝送制御ユニットのフレーム送信処理210と521内の再送バッファの容量が大き

いことである。というのは送信したデータをACKが戻って来るまで蓄積するが、衛星回線ではACKが戻って来るまでに大きな時間がかかるためである。第8図にSDCUを用いた場合の動作を示す。

ところで、今まで衛星回線を専用回線として見ていたが、衛星回線にはどの局からも衛星にアクセスできるマルチアクセス性とどの局からの信号を受信できるブロードキャスト性をもち、これを生かしてパケット交換を実現する方法が考えられている。送信データに宛先アドレスを付加して衛星に送信する。全ての局はこれらのデータを全て受信し、宛先アドレスをみて、自局宛のデータのみを取り込む。このようにしてパケット交換を実現することができる。

この従来例として、米国のARPA(アドバンスリサーチプロジェクトエージェンシー)ネットワークの1部に前述の衛星ネットワークを用いることが考えられた。第9図に従来例を示す。

第10図には地上局の構成を示すもので、送受信機、モデム、アクセス制御からなる。アクセス制御には衛星回線で衝突しないように送信を制御する方法と到着したデータを即送信し、衝突したときには再送する方法とがある。又自局宛のデータだけを取り込むアドレスフィルタも備えている。伝送制御手順はこの場合、End-End間つまり端末-端末、端末-ホスト間で行っている。したがって、初めの方で述べたように高速のデータ通信はできないことになる。

一方、CCITTなどで標準化が進んでいるパケットネットワークは第11図に示すようにDTEとネットワークの入口であるDCE(データサーキットターミネイティングイリイップメント)との間をCCITT勧告X.25で接続されている。ISOの参照モデルで表すと、第11図のようになり、下から3層までを定義している。2層のデータリングは第2図に示した伝送制御UNITで行っているプロトコルと同じで、DTE-DCE間で受信確認が行なわれている。3層のネットワークは単一のDTE-DCE間の回線に

複数のロジカルチャネルを同時に設定する手段を持ち、ロジカルチャネル毎に独立のデータ通信が可能となる。ロジカルチャネルは、通信に先立ち通信相手との間に設定される見かけ上の回線(仮想回線)であり、通信が終ると解除される。第13図にX.25用の伝送制御UNITを示す。図に示されるようにリンク制御回路200とパケット制御回路600から成る。リンク制御回路は第2図の伝送制御UNIT200と同じで、誤りに対して再送などを行い高品質のデータ通信を実現する。パケット制御回路600はロジカルチャネル対応に送達確認、フロー制御を行う複数のロジカルチャネル制御630と複数のロジカルチャネル制御630の出力パケットを多重しリンク制御回路200へ送るロジカルチャネル制御マルチプレキサー610とリンク制御回路200からのパケットを対応するロジカルチャネル制御630へ送るロジカルチャネルディマルチプレキサー620から成る。

(発明が解決しようとする問題点)

以上からわかるように、衛星回線のもつマルチアクセス性とブロードキャスト性を利用した従来の方式ではスループットの低下し、標準端末の接続も不可能である。

本発明の目的は衛星回線の持つマルチアクセス性とブロードキャスト性を生かし、且つ衛星回線の長い伝搬遅延、誤りの発生などの欠点を補い、標準プロトコル端末、ホストの接続を可能する衛星パケット通信装置を提供することにある。

(問題点を解決するための手段)

本発明は、衛星を利用したパケット通信システムにおいて、端末と地上局との間でリンク及び該リンクに複数のロジカルチャネルを張り、誤り再送、送達確認、フロー制御を行い、端末と地上局との間に張られている複数のロジカルチャネルに対応して地上局間でロジカルリンクを張り、誤り再送送達確認、フロー制御を行うことを特徴とする。

(実施例)

本発明は地上局とDTEとの間にSNP(サテライトネットワークプロセッサ)700をおいたものである。SNP700はDTEとの間ではX.25プロトコルを実行し、SNPとSNP間ではサテライト伝送制御を実行する。第14図に全体図を示すX.25プロトコルを実行するX.25プロトコルを実行するX.25インターフェースは第13図に示されるパケット制御回路600とリンク制御回路200から成る。サテライト伝送制御はX.25バーチャルサーキットに1対1に対応させた複数ロジカルリンク制御から成り、このロジカルリンク制御は通信先のロジカルリンク制御との間で伝送制御手段を実行する。第14図で示すと、ロジカルリンク制御A1とロジカルリンク制御C1、ロジカルリンク制御A2とロジカルリンク制御B3というように対になってロジカルリンク制御を行う。ロジカルリンク制御間の対応は、次のようにして行われる。ロジカルリンク制御から出力されたデータの先頭に第15図のように宛先アドレス、自局アドレス、宛先ロジカル番号、自局ロジカル番号、シーケンス番号を付加し、このフォー

マツトで衛星回線に送信する。すべての地上局はこのデータを受信し、宛先アドレスを見、自局のアドレスならば取り込み、SNPへ送る。SNPではデータ宛先ロジカルリンク番号を見、対応するロジカルリンク制御へ送る。以上のようにしてロジカルリンク制御間で通信が行なわれる。第16図にSNP700のブロック図を示す。SNP700はX.25インターフェース800とサテライト伝送制御900から成る。X.25インターフェース800は第13図のX.25用伝送制御UNITと同じである。サテライト伝送制御900はX.25インターフェース800の複数のロジカルチャネル制御630と1対1に接続された複数のロジカルリンク制御930で送達確認、誤り再送制御、フロー制御を行い、ロジカルリンクマルチプレクサ910で複数のロジカルリンク制御830の出力データを多重し、地球局へ送り、ロジカルリンクディマルチプレクサ920で地球局からのデータに対応するロジカルリンク制御930へ送る。第17図にロジカルリンク制御のブロック図を示す。ロジカルチャネル制御630からのデータに対して、付加器211で

データにアドレス、ロジカルリンク番号、シーケンス番号を付加し、ロジカルリンクマルチプレクサ910へ送ると同時に、バッファ12へ送る。同時にタイマ213も動作させる。タイマ213がタイムアウトを示すと、切換スイッチ214を切り換え、バッファ212に蓄えられているデータをロジカルリンクマルチプレクサ910へ送り、再送を行なう。タイマ213がタイムアウトになる前にDATA識別931から受信確認(ACK)を受ければ、切換スイッチ214を切り換え、バッファに蓄えられたデータを破棄する。これは受信確認されたデータ再送する必要がなくなるためである。DATA識別931では、データ(DATA)と、受信確認(ACK)とを識別し、ACKをタイマ213と切換スイッチ214へ送り、DATAをシーケンス番号チェック221へ送る。シーケンス番号チェック221ではデータ(DATA)のシーケンス番号を調べ、OKならば、データをロジカルチャネル制御630へ送り、同時にACK生成222でACKを生成し、ロジカルリンクマルチプレクサ910へ送る。

#### (発明の効果)

以上述べたように、本発明は衛星回線のもつマルチアクセス性とブロードキャスト性を有効に生かしかつ高スループット、標準端末の収容を可能とする。

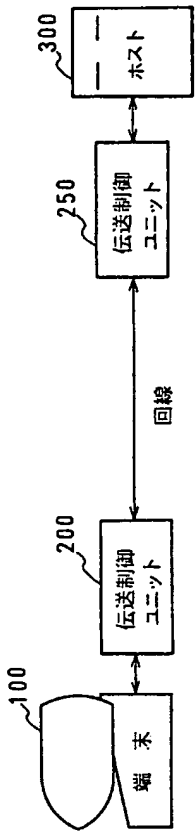
#### 図面の簡単な説明

第1図はデータ通信を示す図、第2図は伝送制御UNITのブロック図、第3図はフレーム送信処理を示すブロック図、第4図はフレーム受信処理を示すブロック図、第5図は伝送制御UNITの動作示す図、第6図は従来の1つを示す図、第7図はサテライトディレイコンペンセーションユニット(SDCU)を示す図、第8図はSDCUの動作を示す図、第9図はもう1つの従来例を示す図、第10図は従来例の地上局を示す図、第11図はパケットネットワークを示す図、第12図はISOの階層モデルを示す図、第13図はX.25用伝送制御UNITを示す図、第14図は本発明を示す概念図、第15図は衛星回線上のデータフォーマットを示す図、第16図はサテライトネットワークプロセッサのブロック図、第17図はロジカルリンク制御のブロック図である。

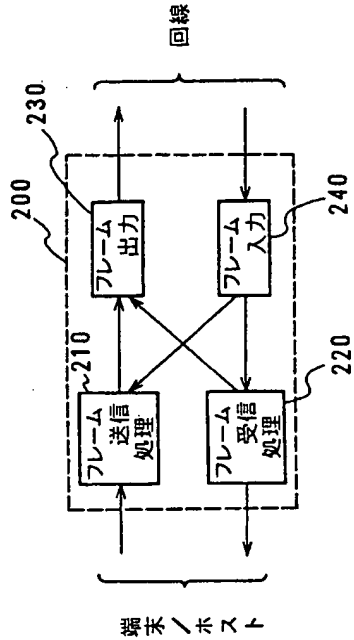
図において、100は端末、200は伝送制御UNIT、300はホスト、210はフレーム送信処理、220はフレーム受信処理、230はフレーム出力、240はフレーム入力、211は付加器、212はバッファ、213はタイマ、214は切換スイッチ、221はシーケンス番号チェック、222はACK生成、400はデータターミナルイクイップメント(DTE)、500はサテライトディレイコンペンセーションユニット(SDCU)、510はDTE伝送制御ユニット、520はサテライト伝送制御ユニット、521はフレーム送信処理、600はパケット制御回路、610はロジカルチャネルマルチプレクサ、620はロジカルチャネルマルチプレクサ、630ロジカルチャネル制御、700はサテライトネットワークプロセッサ(SNP)、800はX.25インターフェース、900はサテライト伝送制御、910はロジカルリンクマルチプレクサ、920はロジカルリンクマルチプレクサ、930はロジカルリンク制御、931はDATA識別である。

代理人 弁理士 内原 啓

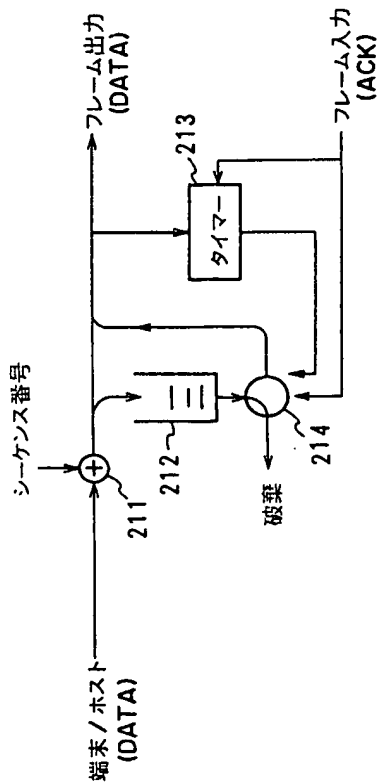
第 1 図



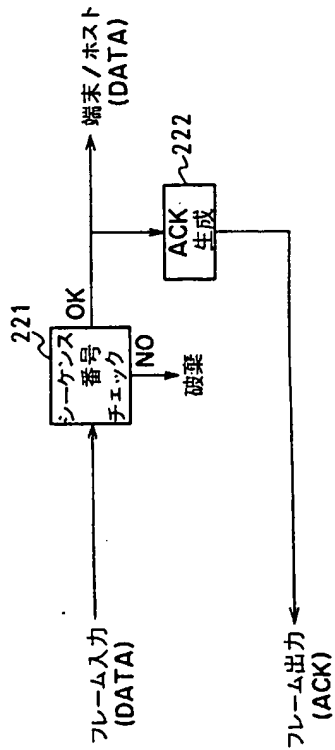
第 2 図



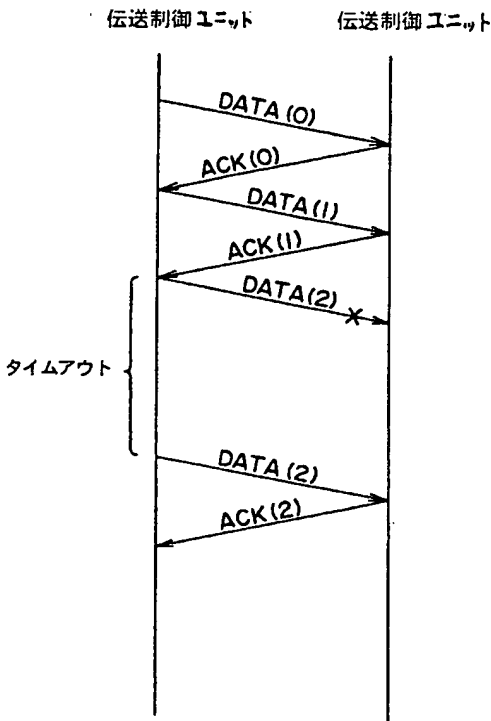
第 3 図



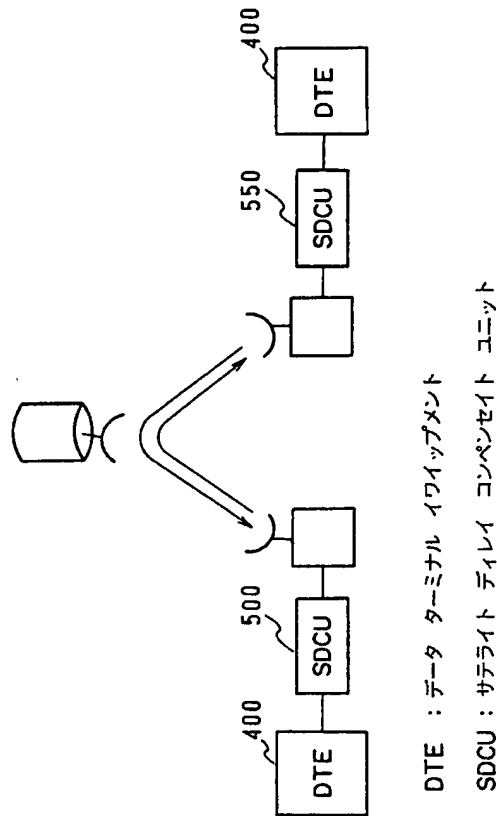
第 4 図



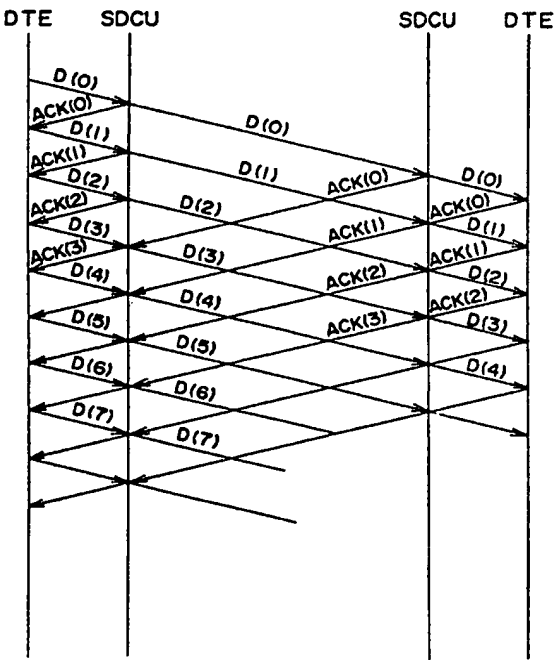
第 5 図



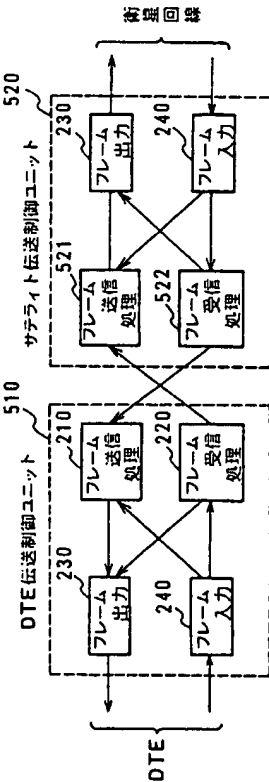
第 6 図



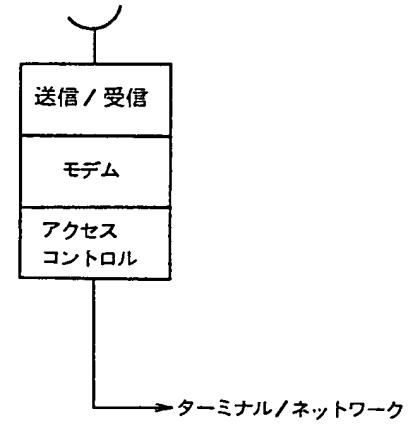
第 8 図



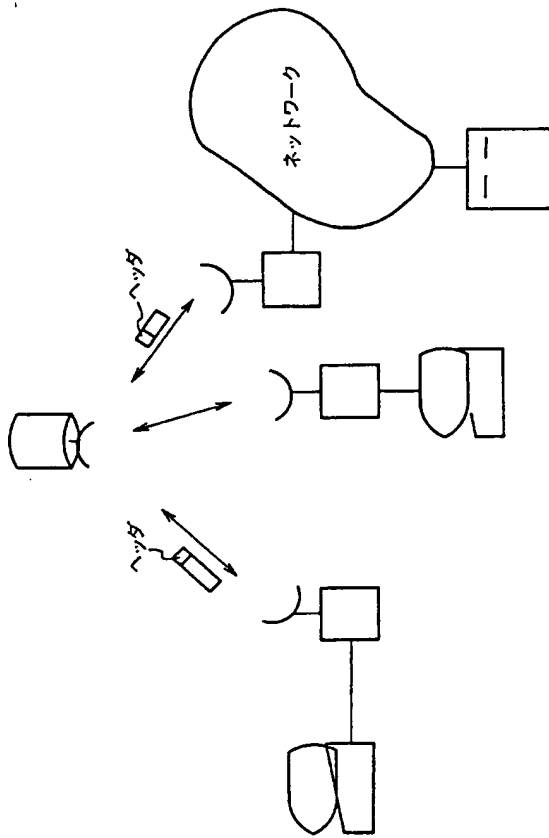
第 7 図



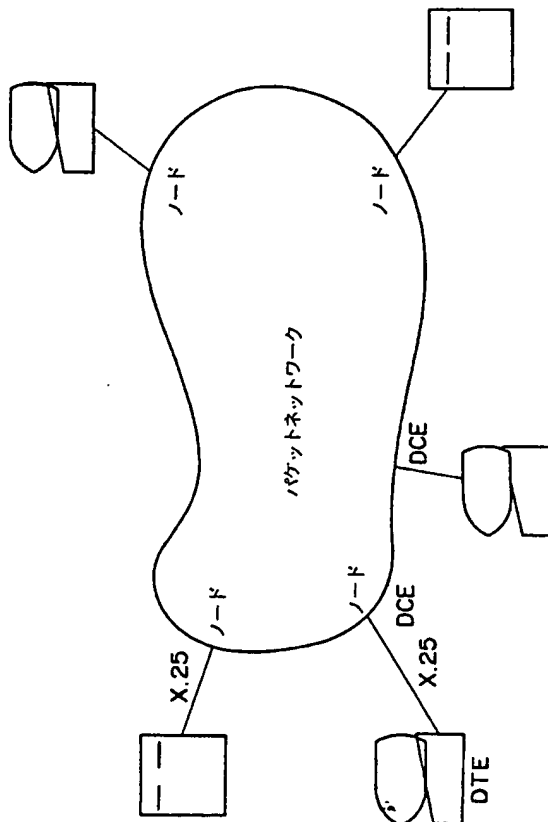
第 10 図



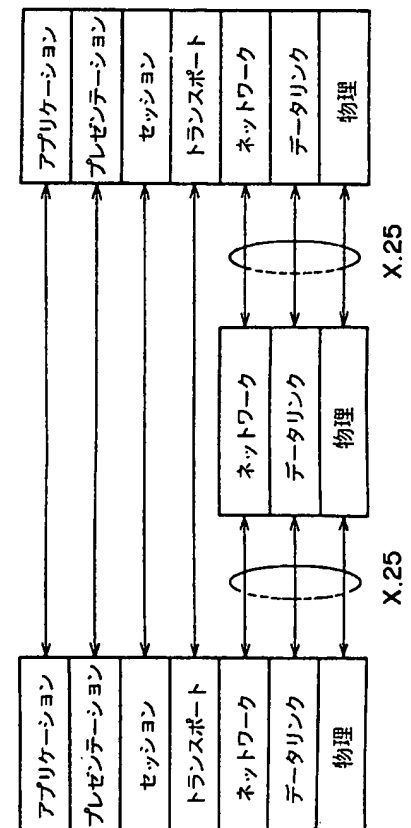
第 9 図



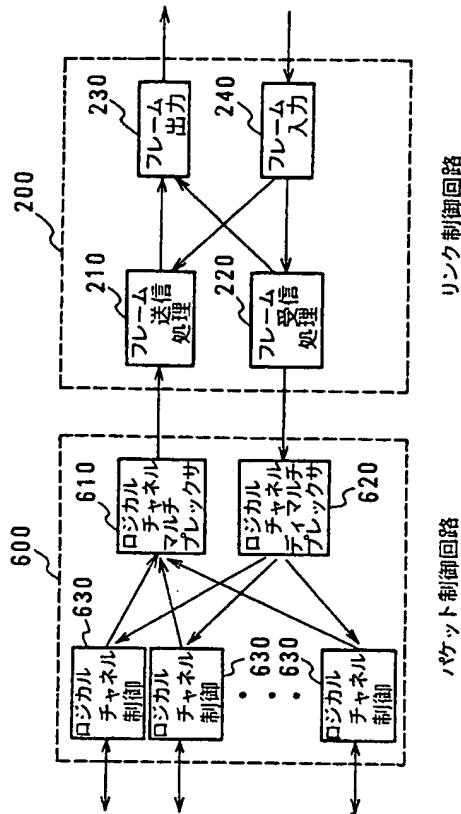
第 11 図



第 12 図



第 13 図

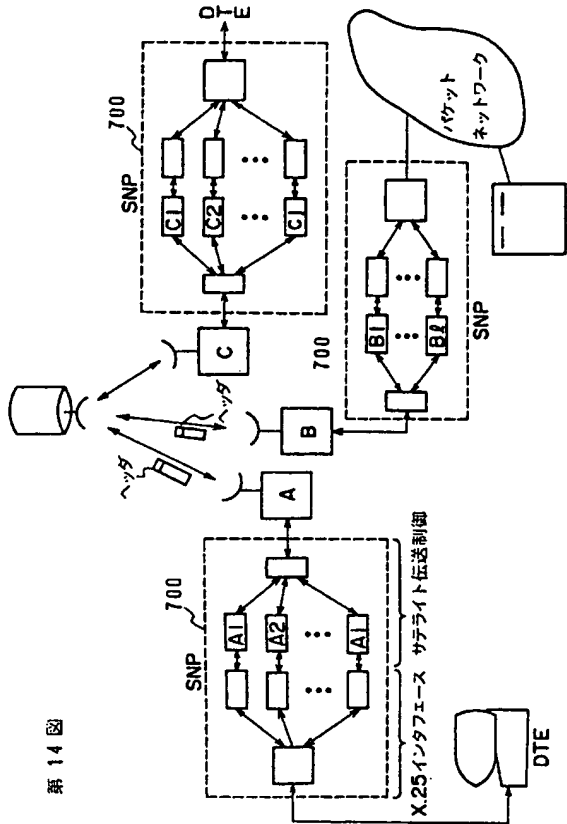


第 15 図

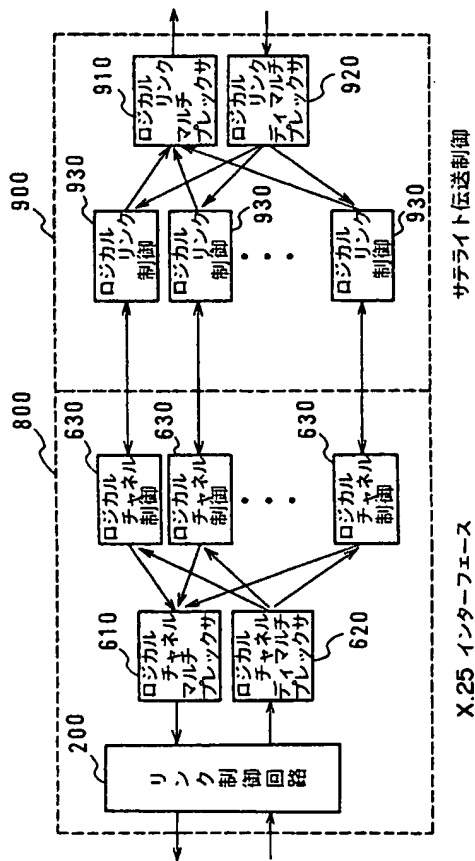


DA : 宛先アドレス  
SA : 自局アドレス  
DLLN : 宛先ロジカルリンク番号  
SLLN : 自局ロジカルリンク番号  
SN : シーケンス番号

第 14 図



第 16 図



第 17 図

